

**СИНТЕЗ И СИМУЛАЦИЯ НА КОДЕР-ДЕКОДЕР
ОТ ДВОИЧЕН NRZ В ДИФЕРЕНЦИАЛЕН КОД****SYNTHESIS AND SIMULATION OF CODER-DECODER
FROM BINARY NRZ TO DIFFERENTIAL CODE****Боян Карапeneв*** **Ивилина Димитрова****
Технически университет - Габрово

Статията е постъпила на 10.03.2014 г.; приета за отпечатване на 25.03.2014 г.

Abstract

This paper presents the essence of the primary binary codes of the digital signal and also of basics of differential coding. A structural-functional diagram of coder-decoder from binary NRZ to differential code and vice versa is presented. A circuit (model) of coder-decoder with TTL integrated circuits (ICs) and logic elements has been synthesized. The obtained simulation results are shown using Electronics Workbench Pro software.

Keywords: цифров сигнал; първични кодове; двоичен NRZ код; диференциален код; кодер-декодер; синтез; симулация.

ВЪВЕДЕНИЕ

Предаваният цифров сигнал по аналогов канал за връзка може да се разглежда като носещо трептение с двоично кодиране. За неговото получаване биха могли да бъдат използвани процесите модулиране и демодулиране, които съответно преобразуват цифровия сигнал в носещо трептение с двоично кодиране и носещото трептение с двоично кодиране в цифров сигнал. За ефективно използване на канала за връзка и намаляване влиянието на смущения и изкривявания на предаваната информация преди модулацията се извършва прекодиране на цифровия поток, а след нея – предекодиране.

Всеки метод на манипулация изисква цифровият сигнал да бъде представен в определен вид – код. Например диференциалната фазова манипулация изисква диференциално прекодиране на входния цифров сигнал, многократна амплитудна манипулация и др. Това налага прекодирането на цифровия сигнал от двоичен в модулаторен код, който е специфичен за всеки вид манипулация.

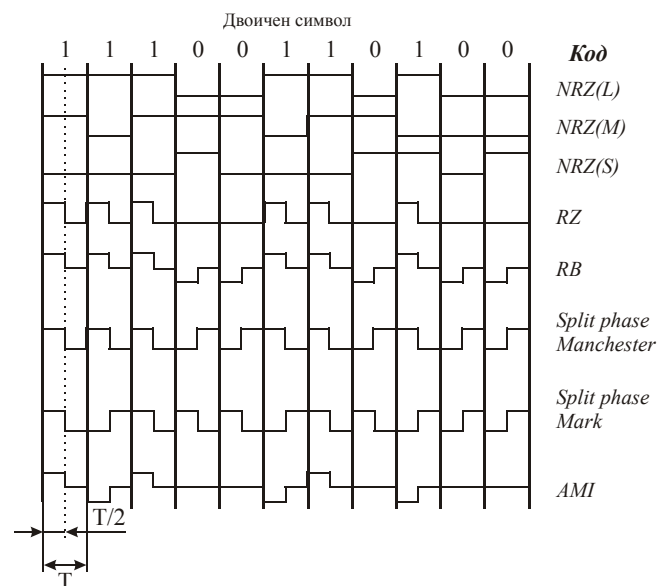
ИЗЛОЖЕНИЕ**Първични кодове на цифровия сигнал**

Най-често цифровият сигнал се представя в двоичен вид (код), тъй като цифровите комуникационни устройства имат две устойчиви състояния. Това е предпоставка за осигуряването на висока шумозащитеност на предаваната информация.

При т.нар. първични кодове се променя видът на импулсите – амплитуда, полярност или брой. Тези кодове обикновено се използват за подобряване на пара-

метрите на предавания сигнал с цел по-добра синхронизация между приемника и предавателя, стесняване на честотната лента, премахване на постоянната съставляваща от енергийния спектър на кодирания сигнал, както и за осигуряване на възможности за откриване и коригиране на грешки.

На фиг. 1 са представени едни от най-важните и намерили широко приложение първични кодове на цифровия сигнал – NRZ (L, M и S), RZ (Return to Zero), RB (Return to Bias), Split-phase Manchester, Split-phase Mark и двуполярния AMI (Alternate Mark Inversion).

**Фиг. 1.** Първични кодове на цифровия сигнал

* Тел.: 066 827 415; e-mail: bkarapenev@tugab.bg

** GSM.: 0890 56 98 03; e-mail: inj.90@abv.bg

Груповият (мултиплексен) цифров сигнал обикновено представлява поредица от еднополярни импулси с продължителност, равна на продължителността на символа (T). Такъв двоичен сигнал е NRZ кодът, при който при формирането на символа логическа „1” няма междинно връщане към нулевото ниво. Докато кодът NRZ(L) повтаря по вид двоичния символ, NRZ(M) и NRZ(S) са диференциално кодирани.

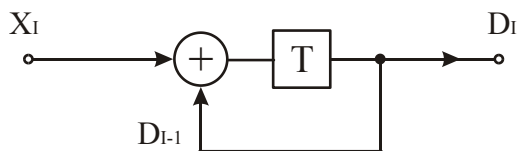
Друг вид двоично кодиран сигнал е RZ кодът с период на представяне, равен на половината от продължителността на един символ - T/2.

Използването на първичните кодове на цифровия сигнал улеснява предаването на информацията по канала за връзка, тъй като се извършва с краен брой символи.

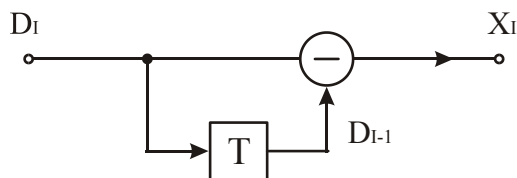
Диференциално кодиране и декодиране

Диференциалното кодиране е по-резултатно от линейното [3]. Когато данни в последователен вид се предават през много вериги по предавателен канал, формата на вълната е често обърната. Например, ако се използва полярен сигнал и се обърнат двата извода при точката на свързване на усуканата двойка линия на предавателния канал, цялата последователност от данни ще бъде обърната и всеки символ ще бъде с грешка [1]. Диференциалното кодиране разрешава посочения въпрос. Може да се вмъкне диференциален кодер преди линейния кодер в предавателя и диференциален декодер след линейния декодер в приемника, за да се премахнат тези грешки. Операцията диференциално кодиране може да се разглежда като „въртене” от преходните сигнали на диференциалния кодер на изхода в съответствие с действащите диференциални сигнали на входа на кодера. Диференциалният декодер извършва обратното действие.

На фиг. 2 са показани кодиращата и декодиращата вериги на еднобитовото диференциално кодиране и декодиране, а съответните таблици на истинност - в таблица 1.



а) Диференциална кодираща верига



б) Диференциална декодираща верига

Фиг. 2. Кодираща (фиг. 2,а) и декодираща (фиг. 2,б) верига на еднобитовото диференциално кодиране

Ако двоичният сигнал {Xi} е 11010, то диференциално кодираният е {Di} 10011. Ако сигналът {Di} се трансформира, неговият инвертиран е 01100. Двоичният сигнал на изхода на диференциалния декодер е входния двоичен {Xi} 11010.

Таблица 1. Таблица на истинност на еднобитовото диференциално кодиране и декодиране

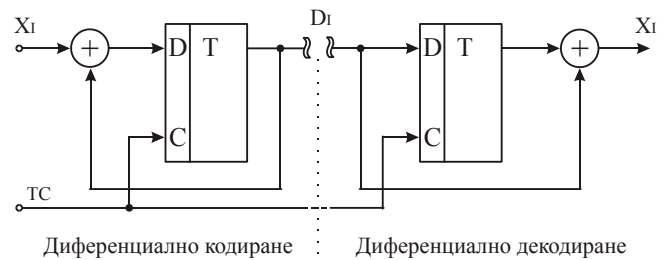
Еднобитово диференциално кодиране		
Вход Xi	Преди изхода Di-1	Изход Di
0	0	0
0	1	1
1	0	1
1	1	0
Еднобитово диференциално декодиране		
Вход Di	Преди изхода Di-1	Изход Xi
0	0	0
1	1	0
1	0	1
0	1	1

Следователно, логическата операция, която се извършва при еднобитовото диференциално кодиране е „сума по модул две”, а при еднобитовото диференциално декодиране - „разлика по модул две”. Получават се съответните логически уравнения:

$$D_i = X_i (+ \text{mod } 2) D_{i-1}, \tag{1}$$

$$X_i = D_i (- \text{mod } 2) D_{i-1}. \tag{2}$$

На фиг. 3 е представена схемната реализация на диференциалното кодиране и декодиране на двоичния цифров сигнал.



Фиг. 3. Схемна реализация на диференциалното кодиране и декодиране на двоичния цифров сигнал

За преобразуване в модулаторен код и обратно при използване на диференциално-фазова манипулация и честотна манипулация с минимална девиация (mЦЧМ= 0,5) е необходимо да се извърши диференциално кодиране и декодиране на цифровия сигнал.

Модулаторният код е в паралелен вид. Необходимо е, последователният двоично кодиран сигнал да се преобразува в m-битов паралелен код, където m е свързано с кратността на манипулацията на носещото трептене в цифровия модулатор на комуникационния канал. При прекодиране на модулаторния код в двоичен се извършва и обратното преобразуване - на паралелния код в последователен.

Преобразуването на цифровия сигнал от последователен код в m-битов паралелен е свързано с m-кратно увеличаване на продължителността на всеки символ от паралелния код, спрямо този на последователния. Необходимо е да се формират нови тактови сигнали чрез mкратно деление на честотата на първоначалните.

Операцията „разлика по модул две” може да бъде приведена до „сума по модул две” когато m битовата

група $\{D_{L1}\}$ е представена в допълнителен код – фиг. 3.

Преобразуването на цифровия сигнал от m -битов паралелен в последователен код изисква m кратно намаляване продължителността на символа и обединяване на сигналите на паралелния код в един общ цифров сигнал. Необходимо е да се формират тактови сигнали с m пъти по-висока честота спрямо тази на паралелния код. Като обединяващи устройства могат да бъдат използвани мултиплексори, които се управляват с формираните импулси на новите тактови сигнали.

Синтез и симулационни изследвания на кодер-декодер на двоичен NRZ в диференциален код и обратно

Структурно-функционалната схема на кодер-декодер на двоичен NRZ в диференциален код и обратно, показана на фиг. 4 [1], се състои от 4 основни блока - преобразуване на последователния код в паралелен, диференциално кодиране, канал за връзка, и диференциално декодиране и преобразуване от двубитовия паралелен код в последователен. Предназначението на отделните блокове и варианти на тяхната реализацията са:

- Блок Преобразуване от последователен в двубитов паралелен код

Преобразуването на цифровия сигнал от последователен в двубитов паралелен код е свързано с двукратно увеличение на продължителността на всеки символ от паралелния спрямо този на последователния. За целта трябва да се формират тактови сигнали чрез двукратно деление на честотата на първоначалните - $F/2$.

Блокът може да бъде реализиран с използването на синхронен реверсивен четири-разряден преместващ регистър, като например TTL ИС 74194, 2 буфера, 2 D-тригера и формирания тактов сигнал с честота $F/2$.

Тактовите сигнали на преместващия регистър ИС 74194 - вход CLK (извод 11) в конкретната реализация на синтезираната принципна схема ще бъдат осигурени от „Функционален генератор“.

„Генератор на думи“ ще бъдат източник на: входния сигнал - NRZ кода, тактовия сигнал ($F/2$) и необходимите управляващи сигнали за използваните буфери. По този начин ще бъде предотвратено възникването на т.нар. състезания в цифровите схеми, което е предпоставка за успешна схемна реализация.

На последователния вход SR (извод 2) на ИС 74194 за преместване отляво надясно се подава входният сигнал - NRZ кодът. Към нулиращия вход CLR (извод 1) и извод 16 (VCC) се осигурява захранващото напрежение на интегралната схема. Извод 8 е маса (GND). На паралелния изход QA (извод 15) се формира NRZ кодът, който се подава на първия буфер, а на втория паралелен изход QB (извод 14) - NRZ кодът, преместен с един такт надясно, подаден на втория буфер. Входовете S1 (извод 10) и S0 (извод 9) управляват режима на работа на преместващия регистър като е необходимо S1 да бъде свързан към VCC, а S0 към маса. Сигналите на тези входове могат да се изменят при подадена логическа „1“ на тактовия вход С.

На входа на Буфера с три състояния се подават получените сигнали от паралелните изходи QA и QB на ИС 74194, а на неговия вход „Enable“ постъпват управляващите сигнали от генератора на думи.

От буферите на входа на D-тригерите постъпва информационният сигнал, който на изхода Q има един такт закъснение;

- Блок Диференциално кодиране

За реализирането на диференциалното кодиране ще бъдат използвани два четири-входови мултиплексора, като ИС 74153, и два D-тригера.

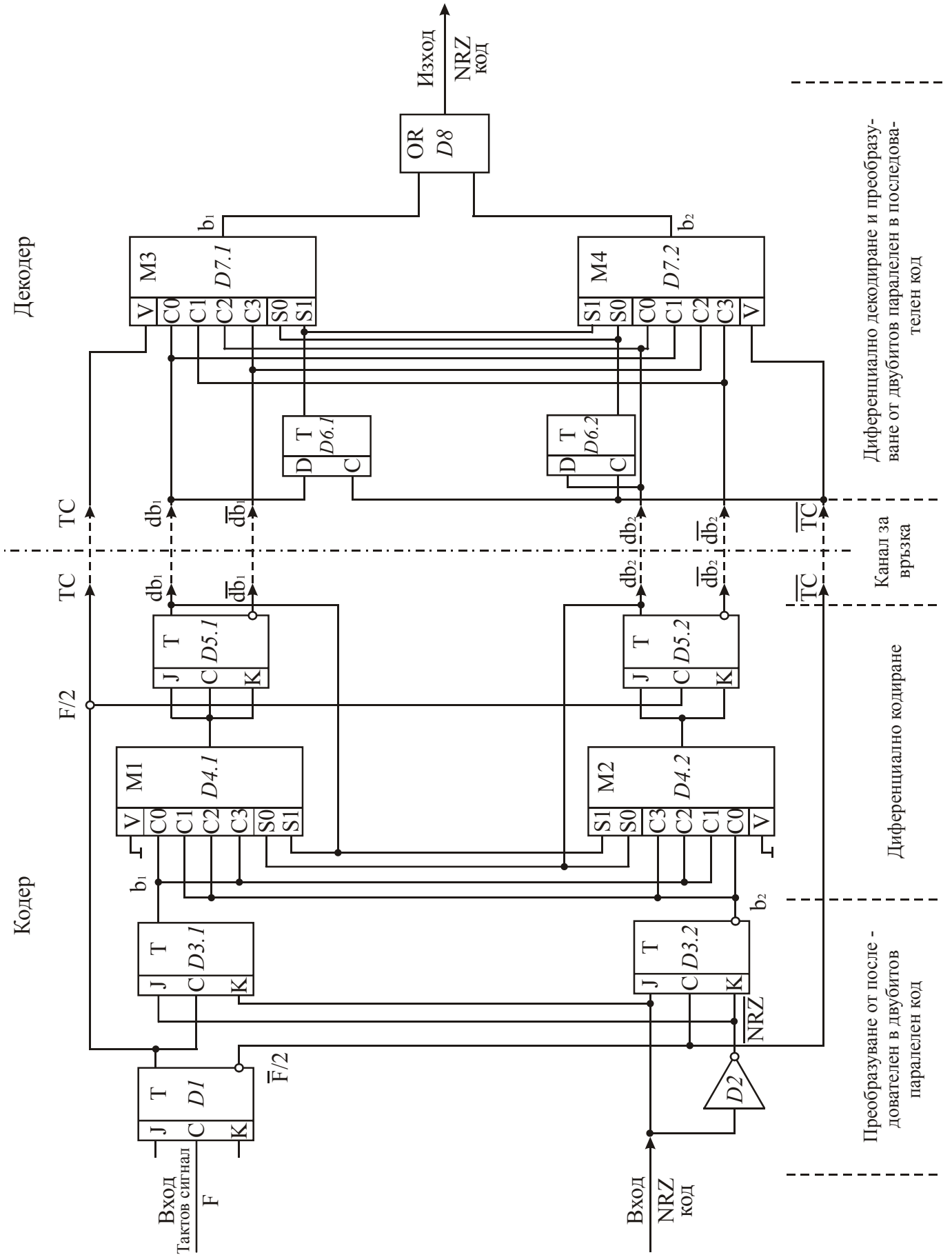
На информационните входове 1C0 (извод 6) и 2C0 (извод 10) постъпват сигналите от Q изходите на D-тригерите - формираният паралелен код. Информационните входове 1C1 (извод 5) и 1C2 (извод 4) са заедно свързани към 2C0 (извод 10). Входовете 2C1 (извод 11) и 2C2 (извод 12) също са свързани към 1C3 (извод 3) и 1C0 (извод 6), а входът 2C3 (извод 13) - към 1C1, 1C2 и 2C0. Към адресните входове на двата мултиплексора В (извод 2) и А (извод 14) се подава като обратна връзка диференциалният код от изходите Q на двата D-тригера. За да работят мултиплексорите, техните разрешаващи входове 1G (извод 1) и 2G (извод 15) трябва да са свързани към маса (GND). Захранването на ИС 74153 се подава на извод 16 (VCC). Изходите 1Y (извод 7) и 2Y (извод 9) са свързани към D входовете на D-тригерите. Тактовият сигнал на първия D-тригер съвпада с информационния, а на втория D-тригер - се осигурява от генератора на думи (фиг. 4). Полученият диференциален код се формира на изходите Q на D-тригерите, а на инверсните им изходи - съответно техните инвертирани стойности;

- **Блокът Канал за връзка** може да бъде кабелна линия или ефир със съответните им разновидности, особености и спецификации. В случая се приема, че каналът за връзка е идеален;

- Блок Диференциално декодиране и преобразуване от двубитов паралелен в последователен код

Диференциалното декодиране е съчетано с преобразуване на двубитовия паралелен код в последователен. За тази цел се използва редуване на работата на два четири-входови мултиплексора (ИС 74153) чрез разделното им управление от правия ($F/2$) и инверсния ($F'/2$) тактов сигнал. Необходими са още и два D-тригера, и логически елемент ИЛИ (OR).

Диференциалният код от изходите Q на първия и втория D-тригер от кодера се подава съответно на 1C0 (извод 6) и 2C0 (извод 10) информационните входове на мултиплексорите. Инвертираният диференциален код от инверсните изходи на D-тригерите в диференциалния кодер се подава съответно на информационните входове 1C3 (извод 3) и на 2C3 (извод 13). На D-входовете на тригерите от изходите Q на предходните тригери се подава диференциалният код. Тактовите сигнали на двата D-тригера са $F'/2$. На разрешаващия вход на първия мултиплексор 1G (извод 1) от генератора на думи се подава тактовият сигнал $F/2$, а на разрешаващия вход на втория мултиплексор 2G (извод 15) - инвертираният NRZ код. Входът 1C1 (извод 5) се свързва към 2C3 (извод 13) и инверсния изход на втория D-тригер от страната на кодера, а входът 1C2 (извод 4) - към 2C0 (извод 10). Входовете 2C1 (извод 11) и 2C2 (извод 12) се свързани съответно и към 1C0 (извод 6) и 1C3 (извод 3). Към адресния вход В (извод 2) на първия мултиплексор е подаден сигнал от инверсния изход на втория D-тригер ($D6.2$), а на този на втория мултиплексор А (извод 14) – сигнал от изхода Q на първия D-тригер ($D6.1$). Изходите на двата мултиплексора 1Y и 2Y (изводи 7 и 9) подават входни сигнали на двувходовия логически елемент ИЛИ (OR) като на неговия изход се появява декодираната цифрова последователност на входния NRZ код.



Фиг. 4. Структурно-функционална схема на кодер-декодер на двоичен NRZ в диференциален код и обратно

Същност и особености на използваната елементна база

- Синхронният реверсивен четири-разряден преместващ регистър - ИС 74194 се използва за преместване на записаната информация с един разряд надясно под управлението на тактовия му вход С. За реализацията могат да се използват D-тригери, които се превключват от положителния фронт на тактовите импулси. Сигналите, постъпващи на входовете за управление режима на работа S0 и S1, се изменят при С=1. При постъпване на сигнал на последователния вход SR се осъществява преместване отляво надясно с един разряд. Регистърът работи при CLR=1, а входът CLR=0 нулира тригерите. Нулирането е независимо от сигналите на другите входове. След два такта в регистъра ще се запише двуразрядният код, постъпил в последователен вид. По този начин се реализира преобразуването на последователния код в паралелен. Паралелният код се осигурява на паралелните изходи QA и QB.

Таблица 2. Таблица на истинност на ИС 74194

S0	S1	Режим
0	0	Забранен вход С
0	1	Преместване отляво надясно
1	0	Преместване отляво надясно
1	1	Въвеждане от входовете A÷D

- Буфер

Информационният вход на буфера е свързан към регистъра, „Enable“-входът - към генератора на думи, а изхода - към D тригера. Когато има логическа „1“ на „Enable“-входа, входът се подава на изхода, а при логическа „0“ - импедансът на изхода е висок.

Таблица 3. Таблица на истинност на блока Буфер

Вход	Enable	Изход
0	0	0
0	1	0
1	0	0
1	1	1

- D-тригер

D-тригерът има информационен D и тактов вход С. Изходът Q повтаря състоянието на входа D под управлението на тактовия вход С с един такт закъснение.

Таблица 4. Таблица на истинност на D-тригер

D	Q(t)	Q(t+1)
0	0	0
0	1	0
1	0	1
1	1	1

- Четири-входов мултиплексор - ИС 74153

Мултиплексорите са комбинационни логически схеми, имащи две групи входове – n управляващи (адресни), 2ⁿ информационни и един изход. На всеки набор на управляващите входове съответства един информационен вход, свързан към изхода. Приложението им е комутиране на няколко входни сигнала (в случая четири) към един изход. Изходите са както следва: 1C0÷1C3, 2C0÷2C3 са информационните входове на първия и втория мултиплексор; А и В – адресните вхо-

дове, общи за двата мултиплексора; 1G и 2G – разрешаващи (стробиращи) входове, които са отделни за двата мултиплексора. Когато на тях е подадена логическа „1“, изходът е „0“. Мултиплексорът функционира при подаване на логическа „0“; 1Y и 2Y – съответно изходите на първия и втория мултиплексор; VCC, GND – захранващо напрежение и маса на интегралната схема.

Логическата функция, която изпълняват мултиплексорите в случая, е

$$Y = G(C0.B.A + C1.B.A + C2.B.A + C3.B.A) \quad (3)$$

Таблица 5. Таблица на истинност на ИС 74153

Входове							Изход
B	A	C0	C1	C2	C3	G	Y
X	X	X	X	X	X	1	0
0	0	0	X	X	X	0	0
0	0	1	X	X	X	0	1
0	1	X	0	X	X	0	0
0	1	X	1	X	X	0	1
1	0	X	X	0	X	0	0
1	0	X	X	1	X	0	1
1	1	X	X	X	0	0	0
1	1	X	X	X	1	0	1

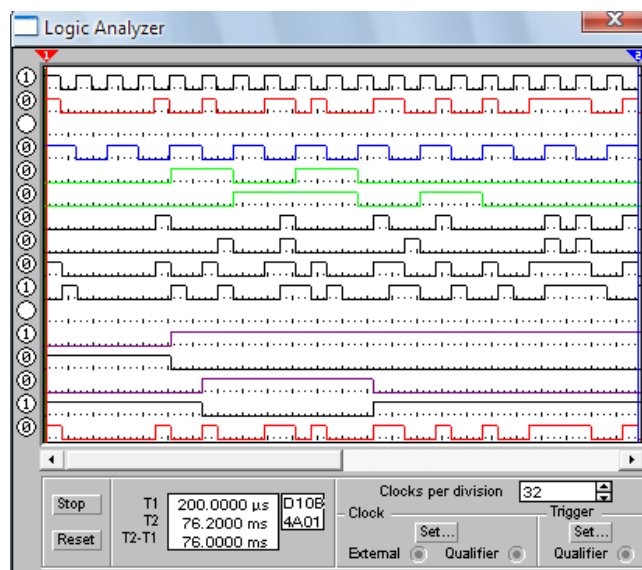
- Инверторът инвертира подадения му входен сигнал;

- Логически елемент ИЛИ (OR), дизюнкция – логическо събиране. На изхода се получава „0“ само ако всички входни променливи са логически „0“.

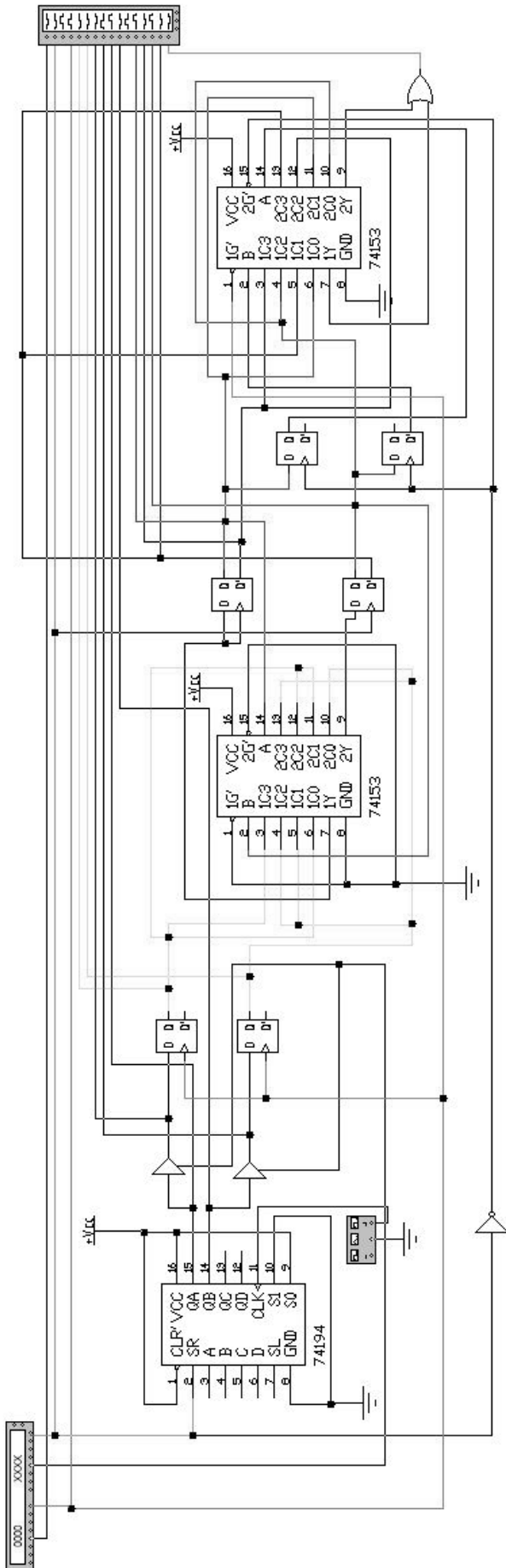
Синтезирана принципна схема на кодер-декодер на двоичен NRZ в диференциален код и обратно. Симулационни резултати

Въз основа на фиг. 4 на фиг. 5 е представена синтезираната принципна схема на кодер-декодер на двоичен NRZ в диференциален код и обратно.

На фиг. 6 с помощта на продукта Electronics Workbench Pro и Логическия анализатор са показани времедиаграмите на сигналите в отделни възли на синтезираната принципна схема.



Фиг. 6. Получени резултати на Логическия анализатор



Фиг. 5. Синтезирана принципна схема на кодер-декодер от двоичен NRZ в диференциален код и обратно

Основните сигнали, представени на фиг. 6 са: първи – тактовият сигнал $F/2$, втори – входният NRZ код, трети – тактовият сигнал F , а последния – декодираният входен NRZ код.

Представената принципна схема за диференциално кодиране и декодиране на двоичен NRZ в *диференциален код* и обратно (фиг. 5) е синтезирана въз основа на структурно-функционалната схема от фиг. 4 [1] за диференциално кодиране и декодиране. Нейният първи блок за преобразуване на последователния код в паралелен е оптимизиран, като JK-тригерите са представени чрез синхронен реверсивен четири-разряден преместващ регистър (ИС 74194), 2 буфера и 2 синхронни D-тригера. В блока за диференциално кодиране двата JK-тригера също са заменени с 2 D-тригера.

Извършени са симулационни изследвания на предложената принципна схема на кодер-декодер на двоичен NRZ в *диференциален код* и обратно, и с помощта на получените резултати е представен принципът ѝ на действие – фиг. 6. Получените резултати потвърждават нейната работоспособност и онагледяват протичащите процеси в нея. Използваният програмен продукт Electronics Workbench Pro успешно може да се прилага при разработването и симулационното изследване на цифрови схеми на кодери и декодери, а също така и на по-големи устройства.

Синтезираната и симулационно изследваната схема на кодер-декодер на двоичен NRZ в *диференциален код* и обратно е реализирана с TTL елементна база – ИС и логически елементи, поради което може да се използва до сравнително ниски скорости на предаване на информационния поток (до няколко Mbit/s), основно по кабелни линии.

От икономическа гледна точка TTL схемите са най-евтиния вариант при разработването на несложни схеми на кодери и декодери, и в частност, на такива за диференциално кодиране и декодиране.

Освен чрез стандартна елементна база (каквато е използвана), подобен тип схеми на кодери и декодери могат да бъдат реализирани и с помощта на съвременни устройства за обработка на цифрови сигнали, като DSP и PIC процесори.

Има и трети метод за реализиране на кодиране и декодиране - софтуерният, който е приложим единствено в системите с изцяло компютърна обработка на данните.

ЗАКЛЮЧЕНИЕ

Синтезираният и симулационно изследван вариант на модел на кодер-декодер на двоичен NRZ в *диференциален код* и обратно е реализиран с TTL елементна база – интегрални схеми и логически елементи, поради което може да бъде използван до скорости на предаване на информационния поток няколко Mbit/s, основно по кабелни линии. Скоростта може да бъде увеличена чрез използването на специализирани програмно-апаратни структури.

ЛИТЕРАТУРА

- [1] Добрев Д., Цифрови радиорелейни станции, Издателство „Техника“, София, 1987.
- [2] Ненов Г., Теория на сигналите, Издателство „Техника“, София, 1990.
- [3] Попов М., Кодиране в клетъчните комуникации, Издателство „Прокон“, София, 2000.